



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 1 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 7 1 9 5 1  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 7 1 9 5 1 ]

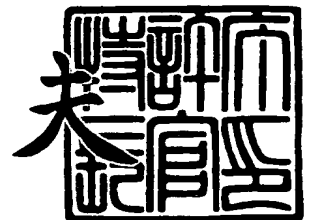
出      願      人                      セイコーエプソン株式会社  
Applicant(s):



2 0 0 3 年 1 0 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0428301

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8244

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 島田 浩行

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

**【手数料の表示】****【予納台帳番号】** 039491**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9402500**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体層と、  
前記半導体層内に形成されたソース領域と、  
前記半導体層内に形成されたドレイン領域と、  
前記半導体層内に形成され、前記ソース領域と前記ドレイン領域との間に挟まれたチャンネル領域と、  
前記チャンネル領域の上方に形成されたゲート絶縁層と、  
前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、  
前記ゲート絶縁層と前記チャンネル領域との界面は、なだらかな傾斜で構成された波型形状である、半導体装置。

【請求項 2】 半導体層と、  
前記半導体層内に形成されたソース領域と、  
前記半導体層内に形成されたドレイン領域と、  
前記半導体層内に形成され、前記ソース領域と前記ドレイン領域との間に挟まれたチャンネル領域と、  
前記チャンネル領域の上方に形成されたゲート絶縁層と、  
前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、  
前記ゲート絶縁層と前記チャンネル領域との界面は、波型形状であり、角部を有していない、半導体装置。

【請求項 3】 請求項 1、2 のいずれかにおいて、  
波型形状である前記界面において、互いに隣り合う上端部と下端部のピッチは、50 nm 以下である、半導体装置。

【請求項 4】 請求項 1 ないし 3 のいずれかにおいて、  
前記ソース領域の上面の一部は平坦である、半導体装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、  
前記ドレイン領域の上面の一部は平坦である、半導体装置。

【請求項 6】 請求項 1 ないし 5 のいずれかにおいて、  
前記半導体層は、支持基板の上方に絶縁層を介して形成されている、半導体装置。

【請求項 7】 支持基板の上方に絶縁層を介して形成された半導体層を有する基板を準備する工程と、

前記半導体層の上方に、所定間隔で複数の開口部を有するマスク層を形成する工程と、

酸素雰囲気中で熱処理を行い、前記半導体層を選択的に酸化し、なだらかな傾斜で構成された波型形状の酸化物層を形成する工程と、

前記マスク層を除去する工程と、

前記酸化物層を除去する工程と、

前記半導体層の上方にゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上方にゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体層内に不純物を導入することにより、ソース領域とドレイン領域とを形成する工程と、を含む、半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体装置、特に S O I (Silicon On Insulator) 構造に適用できる半導体装置およびその製造方法に関する。

##### 【0002】

#### 【背景技術】

微細であって高い駆動能力が期待できるトランジスタとして、複数の導通経路を有するものが知られている。例えば、特開 2001-298194 号公報には、絶縁体上に、半導体からなる複数の伝導経路が一定方向に配列されたトランジスタが記載されている。このトランジスタにおいては、伝導経路（チャネル形成領域）となる複数の半導体層が一定方向に離れた状態で配列されている。そして、各半導体層は、矩形の断面形状を有する。このトランジスタによれば、各半導

体層の両側面にゲート電極を設けることによりダブルゲート構造を実現することができ、高い駆動能力が期待される。しかしながら、このトランジスタにおいては、伝導経路となる半導体層の断面形状が矩形であるため、コーナー部での局所的なゲート絶縁層の薄膜化に起因する電界集中によりゲート絶縁破壊を生じやすい傾向がある。また、このトランジスタにおいては、コーナー部を境にチャネル面が変わるためゲート絶縁層の特性に急激な変動があり、トランジスタの信頼性に大きな影響を及ぼす可能性がある。

**【0003】****【特許文献1】**

特開 2001-298194 号公報

**【特許文献2】**

特開平 9-23011 号公報

**【特許文献3】**

特開 2002-118255 号公報

**【特許文献4】**

特開 2001-77364 号公報

**【0004】****【発明が解決しようとする課題】**

本発明の目的は、高い駆動能力を有する微細な半導体装置およびその製造方法を提供することにある。

**【0005】****【課題を解決するための手段】**

本発明にかかる半導体装置は、  
半導体層と、  
前記半導体層内に形成されたソース領域と、  
前記半導体層内に形成されたドレイン領域と、  
前記半導体層内に形成され、前記ソース領域と前記ドレイン領域との間に挟まれたチャネル領域と、  
前記チャネル領域の上方に形成されたゲート絶縁層と、

前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、  
前記ゲート絶縁層と前記チャネル領域との界面は、なだらかな傾斜で構成された波型形状である。

【0006】

また、本発明にかかる半導体装置は、  
半導体層と、  
前記半導体層内に形成されたソース領域と、  
前記半導体層内に形成されたドレイン領域と、  
前記半導体層内に形成され、前記ソース領域と前記ドレイン領域との間に挟まれたチャネル領域と、  
前記チャネル領域の上方に形成されたゲート絶縁層と、  
前記ゲート絶縁層の上方に形成されたゲート電極と、を含み、  
前記ゲート絶縁層と前記チャネル領域との界面は、波型形状であり、角部を有していない。

【0007】

本発明にかかる半導体装置によれば、ゲート絶縁層と、チャネル領域が形成される半導体層と、の界面は、波型形状で構成される。

【0008】

波型形状とは、S i nカーブ（サインカーブ）のような形状であり、界面がなだらかな傾斜で構成されることを意味する。あるいは、波型形状とは、角部を有していないと言い替えても良い。

【0009】

ゲート絶縁層と、チャネル領域が形成される半導体層と、の界面が、波型形状であることにより、ゲート電極の構造が擬似的にダブルゲート（F i n－F E T）構造となる。そのため、本発明にかかる半導体装置は、短チャネル効果を十分に抑制しながらゲート長を十分に短くでき、駆動能力が高く超微細なM O S トランジスタを提供できる。

【0010】

さらに、ゲート絶縁層と、チャネル領域が形成される半導体層と、の界面が、

角部を有していないことにより、ゲート絶縁層は電界集中により破壊されることが無い。また、チャネル面が急激に変動することがないため、ゲート絶縁層の特性のバラツキを小さくできる。

#### 【0011】

さらに、本発明にかかる半導体装置は、チャネル領域が形成される半導体層の表面を、波型形状としている。従って、電界集中の緩和を考慮して、ゲート絶縁層を特別な形状に加工する必要が無い。

#### 【0012】

本発明にかかる半導体装置の製造方法は、  
支持基板の上方に絶縁層を介して形成された半導体層を有する基板を準備する工程と、

前記半導体層の上方に、所定間隔で複数の開口部を有するマスク層を形成する工程と、

酸素雰囲気中で熱処理を行い、前記半導体層を選択的に酸化し、なだらかな傾斜で構成された波型形状の酸化物層を形成する工程と、

前記マスク層を除去する工程と、

前記酸化物層を除去する工程と、

前記半導体層の上方にゲート絶縁層を形成する工程と、

前記ゲート絶縁層の上方にゲート電極を形成する工程と、

前記ゲート電極をマスクとして、前記半導体層内に不純物を導入することにより、ソース領域とドレイン領域とを形成する工程と、を含む。

#### 【0013】

この製造方法によれば、比較的簡易なプロセスである選択酸化によって、ゲート絶縁層とチャネル領域との界面を、波型形状にすることができる。

#### 【0014】

##### 【発明の実施の形態】

本発明の実施の形態について、図面を参照して説明する。

#### 【0015】

##### 1. 半導体装置



図1は、本実施の形態にかかる半導体装置100を示す斜視図、図2は半導体装置100の平面図、図3は図2におけるA-A線に沿った断面図、図4は図2におけるB-B線に沿った断面図、図5は図2におけるC-C線に沿った断面図である。

#### 【0016】

図1および図2に示すように、半導体装置100は、SOI基板を有する。SOI基板は、支持基板10と、支持基板10の上方に形成された埋込み絶縁層12と、埋込み絶縁層12の上方に形成された半導体層13と、を含む。埋込み絶縁層12は、酸化シリコン層である。半導体層13はシリコン層である。半導体層13には、チャネル領域16と、チャネル領域16を挟んで形成されたソース領域20及びドレイン領域30と、が形成されている。

#### 【0017】

図3に示すように、チャネル領域16が形成される半導体層13の上面は、波形状である。それ故、ゲート絶縁層と、チャネル領域が形成される半導体層と、の界面は、波形状となる。

#### 【0018】

ここで、「波形状」とは、Sinカーブ（サインカーブ）のような形状であり、界面がなだらかな傾斜で構成されることを意味する。あるいは、波形状とは、角部を有していないと言い替えても良い。

#### 【0019】

また、チャネル領域16において、互いに隣り合う波形状の上端部（波形状の頂部）と波形状の下端部（波形状の底部）とのピッチは、50nm以下である。

#### 【0020】

チャネル領域16には不純物が導入されないか、あるいは不純物がソース領域20及びドレイン領域30より低い濃度で導入される。そして、チャネル領域16に所定のゲート電圧が印加されることにより、チャネル領域16内にチャネルが形成される。

#### 【0021】

図4および図5に示すように、チャネル領域16の両側には、ソース領域20とドレイン領域30とが形成されている。ソース領域20及びドレイン領域30内には、N型またはP型の不純物がドーピングされている。

#### 【0022】

ソース領域20は、チャネル領域16と連続する領域22と、この領域22の外側に連続する領域24とを有する。領域22の上面は、チャネル領域16が形成される半導体層13の上面を加工する工程と同一工程で加工される。その結果、領域22の上面は、チャネル領域16の上面と同様に波形状となる。従って、領域22の上面は、図2のB-B線に沿ってみると、図4に示すように、チャネル領域16の最も高い部分と同じ高さを有する。言い換えると、領域22の上面は、波形状の上端部（波形状の頂部）と同じ高さを有する。また、領域22の上面は、図2のC-C線に沿ってみると、図5に示すように、チャネル領域16の最も低い部分と同じ高さを有する。言い換えると、領域22の上面は、波形状の下端部（波形状の底部）と同じ高さを有する。従って、チャネル領域16の下端近傍は、図5で示されている通り、非常に半導体層の薄いSOI構造とみなすことができる。一方、領域24は、上面が平坦である。従って、領域24の上面において、ソース領域20とソース配線とのコンタクトを取りやすくなる。

#### 【0023】

同様に、ドレイン領域30は、チャネル領域16と連続する領域32と、この領域32の外側に連続する領域34とを有する。領域32の上面は、チャネル領域16が形成される半導体層13の上面を加工する工程と同一工程で加工される。その結果、領域32の上面は、チャネル領域16の上面と同様に波形状となる。従って、領域32の上面は、図2のB-B線に沿ってみると、図4に示すように、チャネル領域16の最も高い部分と同じ高さを有する。言い換えると、領域32の上面は、波形状の上端部（波形状の頂部）と同じ高さを有する。また、領域32の上面は、図2のC-C線に沿ってみると、図5に示すように、チャネル領域16の最も低い部分と同じ高さを有する。言い換えると、領域22の上面は、波形状の下端部（波形状の底部）と同じ高さを有する。従って、チャネル領域16の下端近傍は、図5で示されている通り、非常に半導体層の薄いSOI構造とみなすことができる。一方、領域24は、上面が平坦である。従って、領域24の上面において、ソース領域20とソース配線とのコンタクトを取りやすくなる。

チャネル領域 16 の下端近傍は、図 5 で示されている通り、非常に半導体層の薄い SOI 構造とみなすことができる。一方、領域 34 は、上面が平坦である。従って、領域 34 の上面において、ドレイン領域 30 とドレイン配線とのコンタクトを取りやすくなる。

#### 【0024】

ゲート絶縁層 18 は、チャネル領域 16 の上方に形成される。すなわち、ゲート絶縁層は、チャネル領域 16 が形成される半導体層 13 の上方に形成される。ゲート絶縁層 18 はチャネル領域 16 の上面に沿って形成されるため、ゲート絶縁層 18 は波型形状となる。従って、ゲート絶縁層 18 とチャネル領域 16 との界面は、波型形状となる。ゲート絶縁層 18 は、ハフニウム、ジルコニウム、アルミニウムなどの金属の酸化物、あるいは酸化シリコンなどによって形成できる。

#### 【0025】

ゲート電極 40 は、ゲート絶縁層 18 の上方に形成される。従って、ゲート電極 40 の下面は、波型形状となる。その結果、本実施の形態における半導体装置において、チャネル領域 16 の上端近傍は、図 3 で示されている通り、擬似的にダブルゲート (Fin-FET) 構造とみなすことができる。

#### 【0026】

ゲート電極 40 は、その端部にコンタクトのための端子部 42 を有する。ゲート電極 40 としては、タンタル、タングステン、モリブデン、クロム、ジルコニウム、ハフニウムなどの遷移金属から選択される金属あるいは多結晶シリコンを用いることができる。ゲート電極 40 は、例えば、窒化タンタル層、タンタル層（好ましくは体心立方格子相のタンタル層）およびキャップ層としての窒化タンタル層が順次積層された構造であってもよい。

#### 【0027】

本実施の形態にかかる半導体装置は、以下の特徴を有する。

#### 【0028】

本実施の形態では、チャネル領域 16 の上面が波型形状であることにより、この形状に沿ってチャネルが形成される。従って、実効的なチャネル幅はチャネル

領域 16 の幅（図 3 の符号  $L_{ch}$  で示す幅）より大きくなる。それ故、短チャネル効果を十分に抑制しながら電流駆動能力を増大させることができる。また、このような構成によれば、チャネル領域 16 を完全に空乏化することができ、ゲート長が 10 nm 程度の微細な MOS トランジスタの実現が可能となる。このように、本実施の形態にかかる半導体装置によれば、駆動能力が高い超微細な MOS トランジスタを提供できる。

#### 【0029】

また、本実施の形態にかかる半導体装置は、ゲート絶縁層 18 とチャネル領域 16 との界面は、なだらかな傾斜で構成された波形状である。仮に、チャネル領域が形成される半導体層の断面形状が、矩形、三角形および V 字型などの場合には、ゲート絶縁層の局所的な薄膜化に起因する電界集中が発生しやすい。一方、本実施の形態にかかる半導体装置は、ゲート絶縁層 18 とチャネル領域 16 との界面は、角部を有していないため、ゲート絶縁破壊を生じることがない。

#### 【0030】

さらに、本実施の形態にかかる半導体装置は、ゲート絶縁層 18 とチャネル領域 16 との界面は、波形状であることから、矩形の断面形状を有するチャネル領域の場合のように、コーナー部を境にゲート絶縁層の特性が急激に変動することが無い。

#### 【0031】

さらに、本実施の形態にかかる半導体装置は、チャネル領域 16 の上面、それ自体を、波形状にする。仮に、チャネル領域の上方に形成するゲート絶縁層をラウンド構造にすることにより電界集中を緩和させようとする、ゲート絶縁層の形成工程が複雑化する。実際、ゲート絶縁層の膜厚をシリコン層の面ごとに制御することは容易でない。一方、本実施の形態にかかる半導体装置は、シリコン層の表面をラウンド形状とするために、シリコンの面方位の変動が緩やかになる。それ故、シリコン層の上方に形成されるゲート絶縁層を、単純な形成工程で最適化できる。

#### 【0032】

### 2. 半導体装置の製造方法

次に、本実施の形態にかかる半導体装置の製造方法の一例を、図 6 から図 10 を参照しながら説明する。各図は、主にチャネル領域（図 2 の A-A 線に対応する領域）を示す。

#### 【0033】

(a) まず、図 6 に示すように、支持基板 10 上に、埋込み絶縁層 12 および所定の厚さ、例えば 20 nm のシリコン層（以下、「半導体層」という）13 を有する SOI 基板を準備する。そして、半導体層 13 上に熱酸化によって酸化シリコン層および窒化シリコン層を形成する。ついで、図示しないレジスト層を形成し、リソグラフィーおよび異方性ドライエッチングを行って窒化シリコン層および酸化シリコン層をパターンニングする。これにより、酸化シリコン層からなるパッド層 50 および窒化シリコン層からなるマスク層 52 を形成する。これによって、所定の間隔、例えば 20 nm ピッチで半導体層 13 が露出する開口部 54 が形成される。ついで、レジスト層を除去する。

#### 【0034】

(b) 図 7 に示すように、酸素雰囲気中で熱処理を施し、半導体層 13 の表面を選択酸化することによって、酸化シリコン層 56 を形成する。酸化シリコン層 56 は、マスク層 52 が存在する部分では膜厚が小さく、マスク層 52 が存在しない部分では膜厚が大きく形成される。これにより、酸化シリコン層 56 の表面は波型形状となる。マスク層 52 のピッチおよび幅を選択することで、酸化シリコン層 56 の表面の曲率および波形のピッチをコントロールできる。

#### 【0035】

(c) 図 8 に示すように、マスク層 52 および酸化シリコン層 56 を例えばウエットエッチングで除去する。この工程を経て、半導体層 13 の上面は、角部を有していない、なだらかな傾斜で構成された波型形状となる。

#### 【0036】

(d) 図 9 に示すように、半導体層 13 をリソグラフィーおよびエッチングでパターンニングし、チャネル領域 16、ソース領域 20 及びドレイン領域 30 となる領域を形成する。チャネル領域 16 に不純物を導入する場合には、パターンニングの前にイオン注入によって所定量の不純物をドーピングする。

**【0037】**

ついで、パターニングされた半導体層 13 の表面に絶縁層を形成する。この工程によって、図 9 に示すように、チャネル領域 16 の表面にゲート絶縁層 18 が形成される。ゲート絶縁層 18 の材質としては前述したものをを用いることができる。例えば、ゲート絶縁層 18 は、ハフニウム、ジルコニウム、アルミニウムなどの金属の酸化物を用いる場合には CVD 法によって、あるいは酸化シリコンを用いる場合には熱酸化法などによって形成できる。

**【0038】**

(e) 図 10 に示すように、パターニングされた半導体層を覆うように導電層 44 を形成する。次に、導電層 44 をリソグラフィーおよびエッチングによってパターニングしてゲート電極 40 を形成する。ゲート電極 40 としては、前述した金属あるいは多結晶シリコンなどを用いることができる。

**【0039】**

(f) 図 1 および図 2 に示すように、ゲート電極 40 をマスクとして半導体層 13 に不純物をイオン注入で導入することにより、ソース領域 20 及びドレイン領域 30 を形成する。

**【0040】**

以上の工程によって、本実施の形態にかかる半導体装置を製造することができる。この製造方法によれば、以下の特徴を有する。

**【0041】**

本実施の形態にかかる製造方法によれば、チャネル領域 16 の上面を比較的簡易な選択酸化によって波型形状にすることができる。

**【図面の簡単な説明】**

【図 1】 本実施の形態にかかる半導体装置を示す斜視図。

【図 2】 本実施の形態にかかる半導体装置を示す平面図。

【図 3】 図 2 における A-A 線に沿った断面図。

【図 4】 図 2 における B-B 線に沿った断面図。

【図 5】 図 2 における C-C 線に沿った断面図。

【図 6】 本実施の形態にかかる半導体装置の製造方法を示す断面図。

【図 7】 本実施の形態にかかる半導体装置の製造方法を示す断面図。

【図 8】 本実施の形態にかかる半導体装置の製造方法を示す断面図。

【図 9】 本実施の形態にかかる半導体装置の製造方法を示す断面図。

【図 10】 本実施の形態にかかる半導体装置の製造方法を示す断面図。

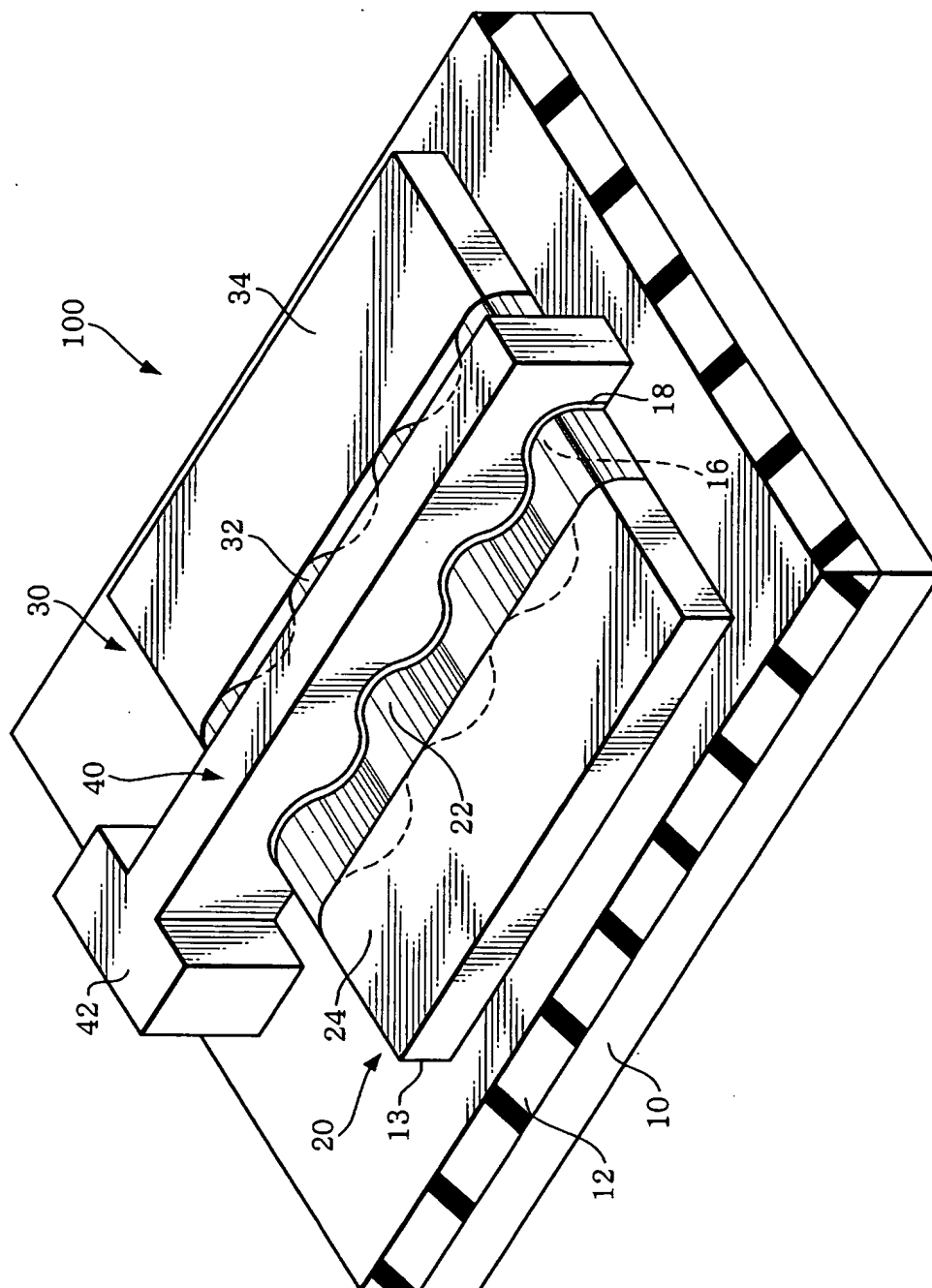
【符号の説明】

10 支持基板、12 埋込み絶縁層、13 半導体層、16 チャネル領域、18 ゲート絶縁層、20 ソース領域、30 ドレイン領域、40 ゲート電極、100 半導体装置

【書類名】

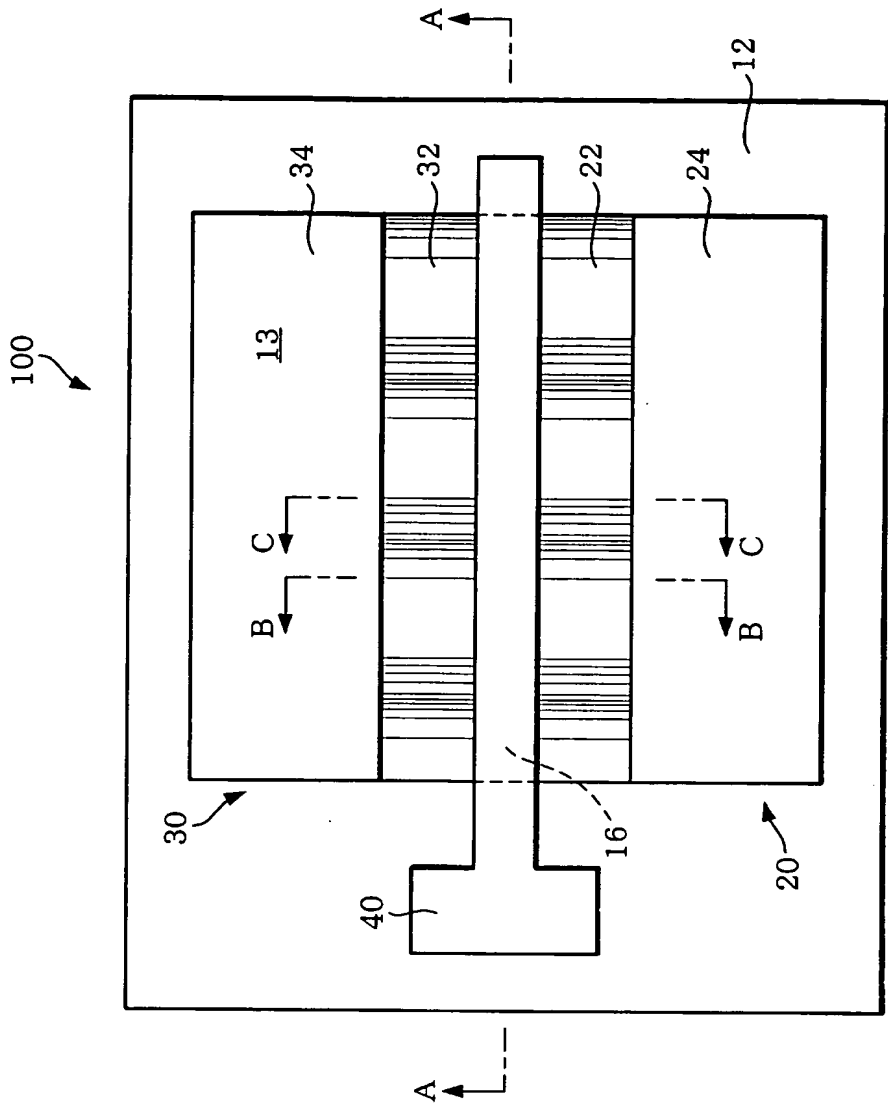
図面

【図1】

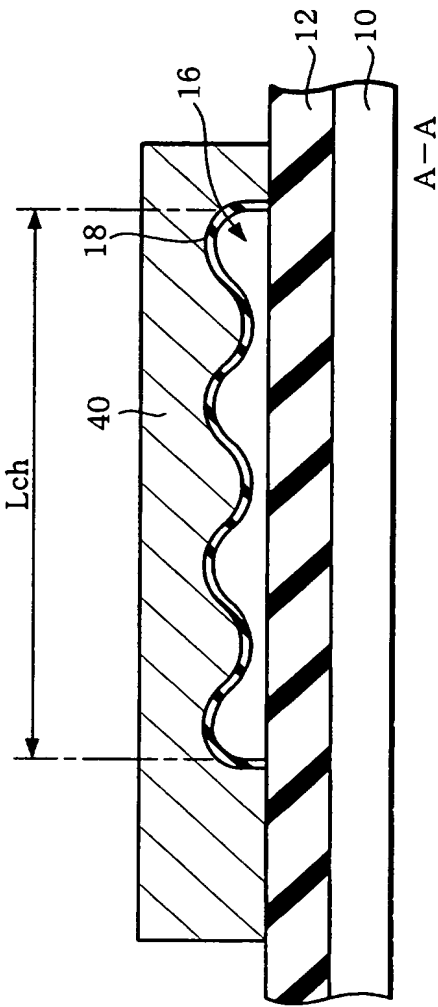




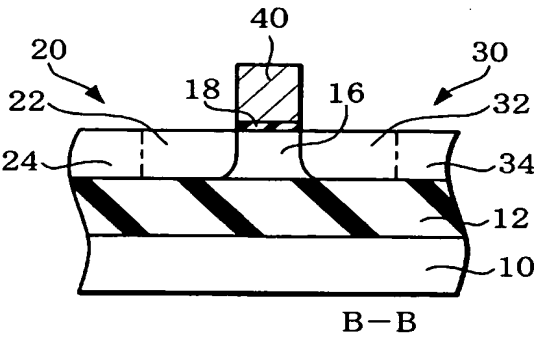
【図 2】



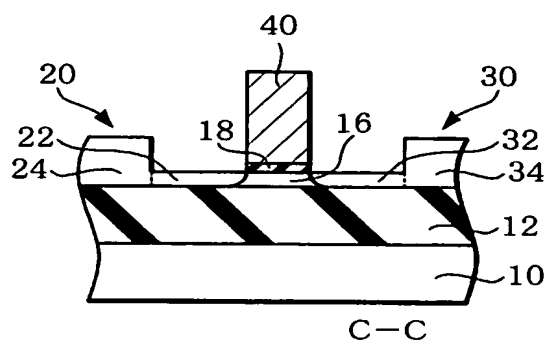
【図 3】



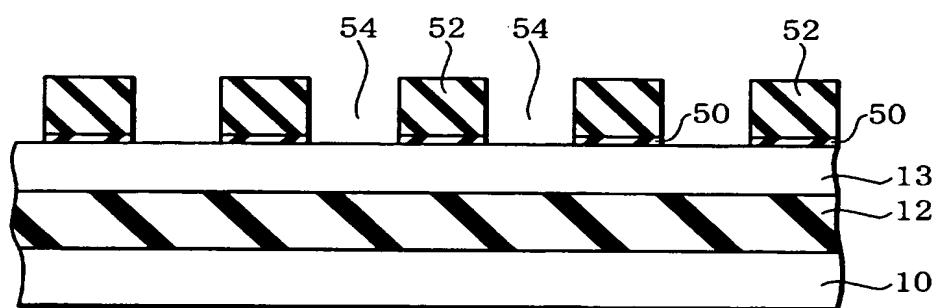
【図 4】



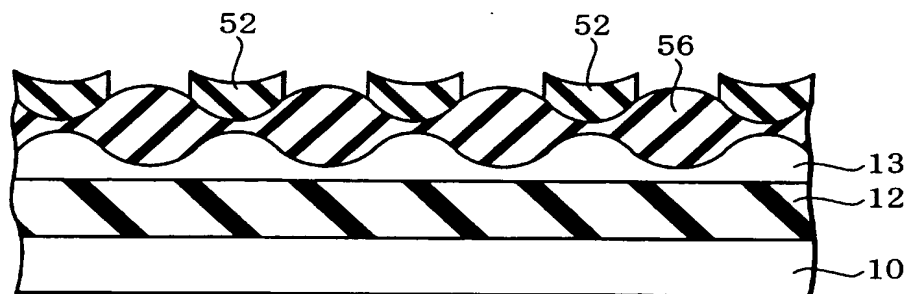
【図 5】



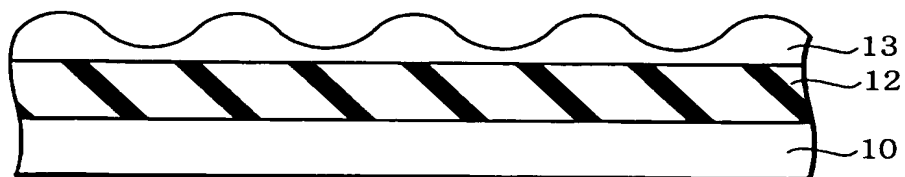
【図 6】



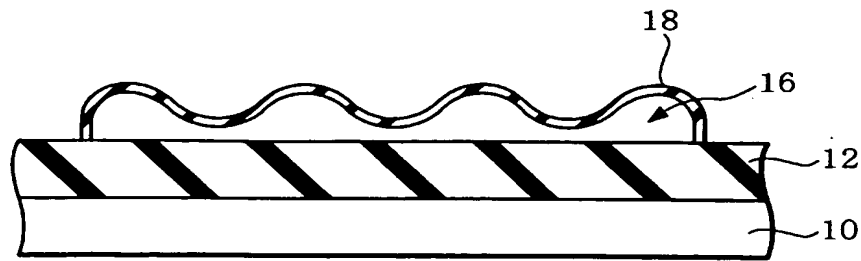
【図 7】



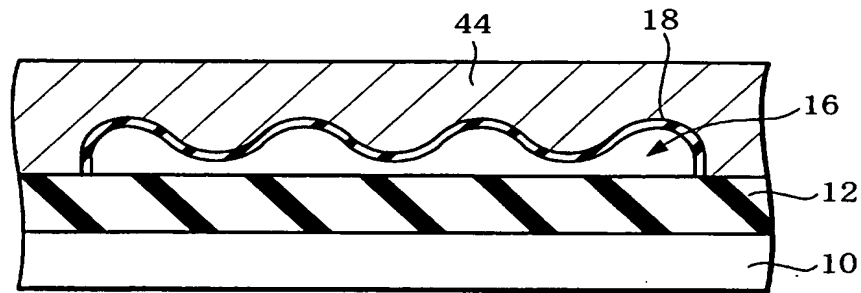
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 高い駆動能力を有する微細な半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置 100 は、支持基板 10 と、支持基板 10 の上方に形成された絶縁層 12 と、絶縁層 12 の上方に形成された半導体層 13 と、半導体層 13 内に設けられたチャネル領域 16 と、チャネル領域 16 の両側に形成されたソース領域 20 及びドレイン領域 30 と、チャネル領域 16 の上方にゲート絶縁層 18 を介して形成されたゲート電極 40 と、を含む。ゲート絶縁層 18 とチャネル領域 16 との界面は、角部を有さない、なだらかな傾斜で構成された波型形状である。

【選択図】 図 1

特願 2 0 0 3 - 0 7 1 9 5 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社